



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09163244 A**(43) Date of publication of application: **20.06.97**

(51) Int. Cl.

**H04N 5/335**(21) Application number: **07339935**(22) Date of filing: **05.12.95**(71) Applicant: **OLYMPUS OPTICAL CO LTD**(72) Inventor: **KAZAMA SATOSHI  
NOMOTO TETSUO  
NAKAJIMA SHINICHI**(54) **SOLID-STATE IMAGE PICKUP DEVICE**

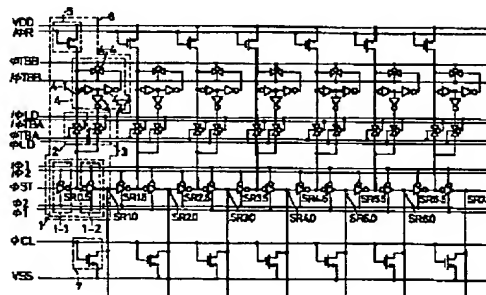
start the scanning.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To provide an image pickup device in which a picture element signal is read stably from the same optional area for a long time and the output of a light-shielded picture element is continuously obtained even in the case of being read from the optional area.

**SOLUTION:** This solid-state image pickup device to read a picture element signal from an optional area of a valid picture element area is provided with a shift register unit 1 consisting of multistage connection of shift registers, a storage section 4 having a latch switch 4-4 storing an output of the unit 1, a storage switch 2 and a transfer switch 3 arranged between the unit 1 and the storage section 4. Then a shift pulse is shifted up to a desired unit for a scanning start position setting period, the storage switch 2 to store information of each unit 1 to the storage section 4 corresponding to each unit 1 is driven and storage information is transferred to the corresponding unit 1 for main scanning to drive the transfer switch 3 to



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-163244

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

庁内整理番号

F I

H 0 4 N 5/335

技術表示箇所

Z

審査請求 未請求 請求項の数2 F D (全16頁)

(21) 出願番号

特願平7-339935

(22) 出願日

平成7年(1995)12月5日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 風間 里志

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72) 発明者 野本 哲夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72) 発明者 中島 慎一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

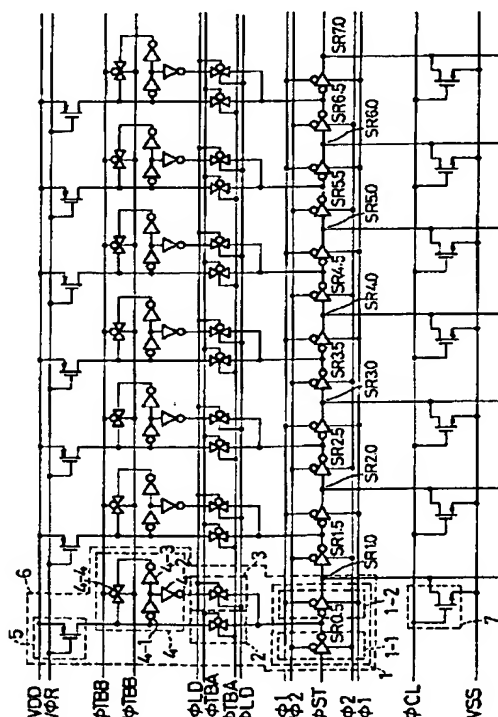
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 長時間同一の任意領域から安定して画素信号を読み出すことが可能で、また任意領域からの読み出しにおいても遮光画素の出力を連続的に得ることができる固体撮像装置を提供する。

【解決手段】 有効画素領域の任意領域から画素信号を読み出すようにした固体撮像装置において、水平及び垂直走査回路を構成するシフトレジスタを、多段接続したシフトレジスタユニット1と、該ユニット1の出力を記憶するラッチ用スイッチ4-4を有する記憶部4と、前記ユニット1と記憶部4間に配設した記憶用スイッチ2及び転送用スイッチ3とを備え、走査開始位置設定期間にシフトパルス在所望位置のユニットまでシフトした後、各ユニットの情報を各ユニットに対応した記憶部に記憶させるため記憶用スイッチを駆動し、本走査時に記憶部より記憶情報を対応するユニットに転送して走査を開始させるため転送用スイッチを駆動するように構成する。



**【特許請求の範囲】**

【請求項 1】 2次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、前記各走査回路は、シフトレジスタユニットを多段に直列に接続しクロックにより情報を伝達していくように構成したシフトレジスタと、前記シフトレジスタユニットの出力を記憶するラッチ回路からなる記憶部と、前記シフトレジスタユニットと前記記憶部の入力端の間に配設した記憶用スイッチと、前記シフトレジスタユニットと前記記憶部の出力端の間に配設した転送用スイッチと、本走査に先立つ走査開始位置設定期間においてシフトレジスタに入力されるシフトパルスを所望の位置のシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を各シフトレジスタユニットに対応した前記記憶部に記憶させるため前記記憶用スイッチを駆動し、且つ本走査時に前記記憶部より前記走査開始位置設定期間に記憶した情報を各記憶部に対応したシフトレジスタユニットに転送して走査を開始させるため前記転送用スイッチを駆動するスイッチ駆動手段とを備えていることを特徴とする固体撮像装置。

【請求項 2】 2次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、前記有効画素領域の周辺の少なくとも一部に遮光画素を備え、前記任意画素読み出しによる画素信号の読み出し前あるいは読み出し後、1行もしくは複数行分の遮光画素の読み出しを行うように構成したことを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、受光面の任意領域の受光画素の出力を読み出すことの可能な固体撮像装置に関する。

**【0002】**

【従来の技術】従来、受光面の任意領域の受光画素の読み出し可能な固体撮像装置としては、例えば、特開平 4-277985号公報に開示されているように、受光画素の出力を時系列的に読み出すための走査手段であるシフトレジスタを複数のブロックに分割し、各分割したブロックに対応した領域を読み出す方法が知られている。しかし、この方法は、シフトレジスタの繰返し単位の分割したブロックとなり、ブロックとブロックの境界で信号の質が変化する可能性がある。また、固体撮像装置製造時にあらかじめ設定されたブロック単位でのみ、

読み出したい領域の選択が可能であるため、任意の領域からの信号の読み出しはできない。

【0003】この問題点を解消するためのシフトレジスタを、本件出願人が特開平 6-350933号において提案した。このシフトレジスタの構成を図13に示す。まずこのシフトレジスタの構成を説明する。図13において、1は第1のクロック型インバータ1-1と第2のクロック型インバータ1-2を直列に接続したシフトレジスタユニット、2は記憶用スイッチ、3は転送用スイッチ、4は第1のインバータ4-1と第2のインバータ4-2を直列に接続した記憶部である。第1のクロック型インバータ1-1の出力ノードと記憶用スイッチ2及び転送用スイッチ3の一端が接続され、記憶用スイッチ2の他端と記憶部4の第1のインバータ4-1の入力端が接続され、記憶部4の第2のインバータ4-2の出力端と転送用スイッチ3の他端が接続されており、6がシフトレジスタの単位段を示している。図13では7段のシフトレジスタを示しているが、実際の固体撮像装置においては、更に多段となっている。

【0004】第1のクロック型インバータ1-1は駆動クロックφ2がHレベルのときにアクティブとなり、第2のクロック型インバータ1-2は駆動クロックφ1がHレベルのときにアクティブとなる。第1段目のシフトレジスタユニット1の入力端には入力クロックφSTが入力される。また、記憶用スイッチ2はクロックφTBAがHレベルのときに導通し、転送用スイッチ3はクロックφLDがHレベルのときに導通する。この構成のシフトレジスタでは、本件発明の第1の実施の形態の動作説明用の図3で示したタイミングチャートのように、クロックφTBA、φLDをLレベルに保った状態で、クロックφ1、φ2及びクロックφSTを入力すると、クロックφ1及びφ2に同期してクロックφSTが、ノードSR1.0、SR2.0、SR3.0、SR4.0、SR5.0、SR6.0、SR7.0に伝達されるのがわかる。また、本件発明の第1の実施の形態の動作説明用の図4に示したタイミングチャートのように、時刻tTBでクロックφ2と同じタイミングでクロックφTBAをHレベルとすることによって、このときのノードSR0.5、SR1.5、SR2.5、SR3.5のレベルが記憶部4に記憶される。その後、時刻tLDにおいて、クロックφ1と同じタイミングでクロックφLDをHレベルとすることによって、各ノードSR0.5、SR1.5、SR2.5、SR3.5には時刻tTBで記憶したレベルが転送され、クロックφ1がHレベルなので、ノードSR1.0、SR2.0、SR3.0、SR4.0、SR5.0、SR6.0、SR7.0には、それぞれノードSR0.5、SR1.5、SR2.5、SR3.5、SR4.5、SR5.5、SR6.5の反転出力が出力される。したがって、時刻tSTでφSTに入力されたHレベルが、時刻tLD以降SR3.0以後のノードに現れる。これは、シフトレジスタの走査がノードSR3.0か

ら始められたことに相当する。

#### 【0005】

【発明が解決しようとする課題】次に、図13に示したシフトレジスタの問題点について説明する。図13に示したシフトレジスタにおける記憶部4はインバータのみで構成されており、記憶用スイッチ2が長時間非導通状態にあると、リーク等によりインバータ4-1の入力端の電位は不定となる。ここの電位が例えばVDDとVSSの中間電位となると、インバータ4-1に貫通電流が流れ、消費電力が増大する。更に、インバータ4-1の出力電位も不定となり、インバータ4-2においても同様の現象が起きる。また、このような現象が起きた状態で、記憶部4からシフトレジスタユニット1に情報を転送しようすると、本来記憶部4に記憶した情報とは異なった情報がシフトレジスタユニット1に転送され、誤動作する可能性が生じる。

【0006】また、任意の位置から信号の読み出しを開始し、任意の位置で信号の読み出しを停止すると、この信号読み出しの範囲に遮光画素が含まれていない場合にはOBクランプが不可能となり、安定した撮像動作ができなくなる。

【0007】本発明は、先に本件出願人が特願平5-158131号において提案したシフトレジスタにおける上記問題点を解消するためになされたもので、長時間同一の任意領域から画素信号を正確に且つ容易に読み出すことができ、更に、連続フレーム撮像動作をとぎらせることなく読み出す領域の変更を可能とし、また安定したOBクランプを可能とする固体撮像装置を提供することを目的とする。

【0008】請求項毎の目的を述べると、請求項1記載の発明は、有効画素領域の一部分の任意の同一領域から長時間安定して画素信号を読み出すことの可能な固体撮像装置を提供することを目的とし、また請求項2記載の発明は、有効画素領域の一部分の任意領域からの画素信号を読み出す際に、遮光画素の出力を連続的に得ることの可能な固体撮像装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】上記問題点を解決するため、請求項1記載の発明は、2次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、前記各走査回路を、シフトレジスタユニットを多段に直列に接続しクロックにより情報を伝達していくように構成したシフトレジスタと、前記シフトレジスタユニットの出力を記憶するラッチ回路からなる記憶部と、前記シフトレジスタユニットと前記記憶部の入力端の間に配設した記憶用スイッチと、前記シフトレジスタユニットと前記記憶部の出

力端の間に配設した転送用スイッチと、本走査に先立つ走査開始位置設定期間においてシフトレジスタに入力されるシフトパルスをもつ位置のシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を各シフトレジスタユニットに対応した前記記憶部に記憶させるため前記記憶用スイッチを駆動し、且つ本走査時に前記記憶部より前記走査開始位置設定期間に記憶した情報を各記憶部に対応したシフトレジスタユニットに転送して走査を開始させるため前記転送用スイッチを駆動するスイッチ駆動手段とで構成するものである。

【0010】このように、シフトレジスタユニットの出力を記憶する記憶部をラッチ回路で構成することにより、正確な記憶情報をシフトレジスタユニットに転送することができ、長時間同一の任意領域から安定して画素信号を読み出すことが可能な固体撮像装置を実現することができる。

【0011】請求項2記載の発明は、2次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、前記有効画素領域の周辺の少なくとも一部に遮光画素を備え、前記任意画素読み出しによる画素信号の読み出し前あるいは読み出し後に、1行もしくは複数行分の遮光画素の読み出しを行うように構成するものである。このように構成することにより、有効画素領域の一部分の任意領域から画素信号を読み出す際にも、遮光画素の出力を連続的に得ることが可能となる。

#### 【0012】

##### 【発明の実施の形態】

〔第1の実施の形態〕次に、実施の形態について説明する。図1は、本発明に係る固体撮像装置の第1の実施の形態における走査回路を構成するシフトレジスタを示す回路構成図であり、図13に示した先に提案したシフトレジスタと同一の構成要素には同一の符号を付して示している。図1において、1は第1のクロック型インバータ1-1と第2のクロック型インバータ1-2を直列に接続して構成されるシフトレジスタユニットである。2はアナログスイッチで構成され、クロックφTBAがHレベルのときに導通する記憶用スイッチ、3はアナログスイッチで構成され、クロックφLDがHレベルのときに導通する転送用スイッチであり、両スイッチの一端は第1のクロック型インバータ1-1の出力端に接続されている。

【0013】4は第1、第2及び第3のインバータ4-1、4-2及び4-3と、アナログスイッチで構成されるラッチ用スイッチ4-4とから構成される記憶部で、第1のインバータ4-1の出力端と第2のインバータ4-2及び第3のインバータ4-3の入力端を接続し、第

3のインバータ4-3の出力端と第1のインバータ4-1の入力端の間に、ラッチ用スイッチ4-4を設け、第1のインバータ4-1の入力端は記憶用スイッチ2の他端に接続し、第2のインバータ4-2の出力端は転送用スイッチ3の他端に接続されている。ラッチ用スイッチ4-4はクロック $\phi$ TBBがLレベルのときに導通するようになっている。

【0014】更に、第1のインバータ4-1の入力端とVDDの間には、リセットスイッチ5が接続されており、クロック $\phi$ R( $\phi$ Rの反転クロック)がLレベルのとき導通するようになっている。また、第2のクロック型インバータ1-2の出力端とVSSの間には、クリアスイッチ7が設けられている。このクリアスイッチについては、特開平6-338198号公報において更に詳述されている。このように構成されたシフトレジスタの単位段は6で示されている。図1には7段のシフトレジスタ単位段で構成された走査回路を示しているが、実際の固体撮像装置においては、更に多段となっている。

【0015】図1において記号で示した各スイッチを構成するアナログスイッチは、図2の(A)に示すように、NチャンネルMOSトランジスタQA1とPチャンネルMOSトランジスタQA2のそれぞれのドレイン同士、ソース同士を接続し、NチャンネルMOSトランジスタQA1のゲートにはクロック $\phi$ が、PチャンネルMOSトランジスタQA2のゲートにはクロック $\phi$ (クロック $\phi$ の反転信号)が入力されるように構成されている。

【0016】シフトレジスタユニット1の具体的な構成例は、図2の(B)に示す。シフトレジスタユニット1を構成する第1のクロック型インバータ1-1は、PチャンネルMOSトランジスタQB1、QB2及びNチャンネルMOSトランジスタQB3、QB4がVDD、VSS間で直列に接続され、QB1、QB4のゲートが入力端に、QB2、QB3のドレインが出力端となる。そして、QB2のゲートにはクロック $\phi$ 2が、QB3のゲートにはクロック $\phi$ 2が入力されるようになっている。また図2の(B)に示している第2のクロック型インバータ1-2も、第1のクロック型インバータ1-1と同様の構成(PチャンネルMOSトランジスタQB5、QB6及びNチャンネルMOSトランジスタQB7、QB8からなる)をもち、QB6のゲートにはクロック $\phi$ 1が、QB7のゲートにはクロック $\phi$ 1が入力されるようになっている。

【0017】次に、図1に示した走査回路における通常の走査について、図3のタイミングチャートをもとに説明する。通常の走査に先立って、クロック $\phi$ TBA、 $\phi$ LDをLレベルにした状態で、時刻 $t_R$ においてクロック $\phi$ TBB、 $\phi$ RをHレベルとする。これにより、リセットスイッチ5が導通し、第1のインバータ4-1の入力端はHレベルとなり、全ての記憶部4に記憶される情報がHレベルにリセットされる。その後の通常走査では

クロック $\phi$ R、 $\phi$ TBA、 $\phi$ TBB、 $\phi$ LDはLレベルとする。これにより、記憶用スイッチ2及び転送用スイッチ3が非導通となり、シフトレジスタユニット1は記憶部4と切り離され、通常のクロック型インバータを直列に接続したシフトレジスタと同様に機能する。また、全ての記憶部4にはHレベルが記憶される。ここで、リセットスイッチを第1のインバータの入力端とVSS間に接続したNチャンネルMOSトランジスタで構成し、 $\phi$ Rで駆動すれば記憶部にはLレベルが記憶されるようになる。クロック $\phi$ 1の立ち上がり同期した入力クロック $\phi$ STを、第1段のシフトレジスタユニット1に入力すると、クロック $\phi$ 1、 $\phi$ 2に同期して、各ノードSR1.0、SR2.0、SR3.0、SR4.0・・・に伝達されていく。そして、各ノードSR1.0、SR2.0、SR3.0、SR4.0、SR5.0、SR6.0、SR7.0に出力される信号を選択信号とすることによって、順次選択動作が可能となることわかる。

【0018】次に、7段のシフトレジスタのうち、第3、4、5段を選択範囲とする動作について、図4のタイミングチャートをもとに説明する。時刻 $t_{ST}$ にスタートパルス $\phi$ STを第1段のシフトレジスタユニット1の入力端に入力する。その後、時刻 $t_{TB}$ において、 $\phi$ TBA、 $\phi$ TBBをクロック $\phi$ 2のHレベルに同期してHレベルとする。これによりラッチ用スイッチ4-4が非導通となり、記憶用スイッチ2が導通し、ノードSR0.5、SR1.5、SR2.5、SR3.5、SR4.5、SR5.5、SR6.5の各情報が記憶部4の入力端に伝達される。したがって、第1段から第7段の各シフトレジスタユニット1に対応した各記憶部4には、それぞれ、H、H、L、H、H、H、Hレベルが伝達される。

【0019】その後、 $\phi$ TBA、 $\phi$ TBBがLレベルとなると、記憶用スイッチ2が非導通となり、ラッチ用スイッチ4-4が導通し、記憶部4の入力端と各ノードSR0.5、SR1.5、SR2.5、SR3.5、SR4.5、SR5.5、SR6.5が切り離され、記憶部4に入力された情報がラッチされ、新たにノードSR0.5、SR1.5、SR2.5、SR3.5、SR4.5、SR5.5、SR6.5から記憶部4の入力端に情報が伝達されない限り、この情報を維持する。これで、走査開始位置の設定動作が完了する。

【0020】その後、時刻 $t_{LD}$ において、クロック $\phi$ 1のHレベルに同期してクロック $\phi$ LDをHレベルとする。これにより転送用スイッチ3が導通し、各シフトレジスタユニット1に対応した記憶部4に記憶された情報H、H、L、H、H、H、Hレベルが、各段の各ノードSR0.5、SR1.5、SR2.5、SR3.5、SR4.5、SR5.5、SR6.5に伝達される。また、クロック $\phi$ 1がHレベルであるので、第1のクロック型インバータがアクティブとなり、SR1.0、SR2.0、SR3.0、SR4.0、SR5.0、SR6.0、SR7.0の各ノードに

は、それぞれSR0.5, SR1.5, SR2.5, SR3.5, SR4.5, SR5.5, SR6.5の各ノードの反転信号が伝達される。したがって、時刻 $t_{LD}$ にはノードSR3.0に選択記号が出力され、以降ノードSR4.0, SR5.0に伝達される。時刻 $t_{CL}$ でクロック $\phi_2$ のHレベルに同期してクロック $\phi_{CL}$ をHレベルとする。これによりクリアスイッチ7が導通し、各ノードSR1.0, SR2.0, SR3.0, SR4.0, SR5.0, SR6.0, SR7.0がLレベルとなり、以降の選択信号の伝達は行われない。以上の動作により、時刻 $t_{LD}$ 以降ノードSR3.0, SR4.0, SR5.0にのみ選択信号が出力される。

【0021】ここで、時刻 $t_{CL1}$ にクロック $\phi_2$ のHレベルに同期してクロック $\phi_{CL}$ をHレベルとすることにより、クリアスイッチ7が導通し、各ノードSR1.0, SR2.0, SR3.0, SR4.0, SR5.0, SR6.0, SR7.0がLレベルとなり、以降の選択信号の伝達は行われず、走査開始位置設定期間を短縮することができる。なお、クロック $\phi_R$ ,  $\phi_{TBA}$ ,  $\phi_{TBB}$ ,  $\phi_{LD}$ ,  $\phi_{CL}$ は、特にことわった期間以外はLレベルとなっている。

【0022】上記説明においては、7段のシフトレジスタのうち第3, 4, 5段から選択信号を取り出す方法について説明したが、クロック $\phi_{TBA}$ ,  $\phi_{TBB}$ ,  $\phi_{CL}$ にHレベルを加えるタイミングを調整することによって、走査開始位置及び走査終了位置を任意に設定することができ、任意の範囲に選択信号を出力することが可能である。

【0023】以上のように構成することによって、任意の位置から走査を開始できるシフトレジスタが実現できる。また、記憶部をラッチ構成としたため、一度記憶部に情報を記憶した後は、新たに情報を記憶し直すまで情報を維持し続けることができる。シフトレジスタユニット、各種スイッチ、記憶部については、本実施の形態と同様の動作、効果をもつものであれば、その具体的な構成に制限はない。

【0024】〔第2の実施の形態〕次に、第2の実施の形態について説明する。図5は第2の実施の形態の走査回路を構成するシフトレジスタの回路構成図で、図1に示した第1の実施の形態のシフトレジスタと同一の構成要素には同一の符号を付して示している。この実施の形態のシフトレジスタが第1の実施の形態のシフトレジスタと異なる点は、記憶部4の構成及び転送用スイッチ3の接続態様である。記憶部4は、第1の実施の形態の構成から第2のインバータ4-2が削除された構成となっている。また、転送用スイッチ3の一端は記憶部4の第1のインバータ4-1の出力端に接続され、他端は第2のクロック型インバータ1-2の出力端に接続されている。この実施の形態では第1の実施の形態と同様に、7段のシフトレジスタの例を示している。

【0025】図5に示したシフトレジスタにおける通常

の走査動作は、第1の実施の形態の走査動作と同様である。次に、7段のシフトレジスタのうち、第3, 4, 5段を選択範囲とする動作について、図6のタイミングチャートをもとに説明する。時刻 $t_{ST}$ にスタートパルス $\phi_{ST}$ を第1段のシフトレジスタユニット1の入力端に入力する。その後、時刻 $t_{TB}$ において、 $\phi_{TBA}$ ,  $\phi_{TBB}$ をクロック $\phi_2$ のHレベルに同期してHレベルとする。これにより、ラッチ用スイッチ4-4が非導通となり、記憶用スイッチ2が導通し、各ノードSR0.5, SR1.5, SR2.5, SR3.5, SR4.5, SR5.5, SR6.5の情報が記憶部4の入力端に伝達される。したがって、第1段から第7段の各シフトレジスタユニット1に対応した各記憶部4には、それぞれ、H, L, H, H, H, H, Hレベルが伝達される。

【0026】その後、 $\phi_{TBA}$ ,  $\phi_{TBB}$ がLレベルとなると、記憶用スイッチ2が非導通となり、ラッチ用スイッチ4-4が導通し、記憶部4の入力端と各ノードSR0.5, SR1.5, SR2.5, SR3.5, SR4.5, SR5.5, SR6.5が切り離され、記憶部4に入力された情報がラッチされ、新たに各ノードSR0.5, SR1.5, SR2.5, SR3.5, SR4.5, SR5.5, SR6.5から記憶部4の入力端に情報が伝達されない限り、この情報を維持する。これで、走査開始位置の設定動作が完了する。

【0027】その後、時刻 $t_{LD}$ において、クロック $\phi_2$ のHレベルに同期してクロック $\phi_{LD}$ をHレベルとする。これにより、転送用スイッチ3が導通し、各シフトレジスタユニット1に対応した記憶部4に記憶された情報H, L, H, H, H, H, Hレベルの反転信号が、各段の各ノードSR1.0, SR2.0, SR3.0, SR4.0, SR5.0, SR6.0, SR7.0に転送され、クロック $\phi_2$ がHレベルなので、第1のクロック型インバータがアクティブとなり、各ノードSR0.5, SR1.5, SR2.5, SR3.5, SR4.5, SR5.5, SR6.5には、H, H, L, H, H, H, Hレベルが伝達される。したがって、時刻 $t_{LD}$ のクロック $\phi_1$ の半周期後にノードSR3.0に選択信号が出力され、以降ノードSR4.0, SR5.0に伝達される。時刻 $t_{CL}$ でクロック $\phi_2$ のHレベルに同期してクロック $\phi_{CL}$ をHレベルとする。これにより、クリアスイッチ7が導通し、各ノードSR1.0, SR2.0, SR3.0, SR4.0, SR5.0, SR6.0, SR7.0がLレベルとなり、以降選択信号の伝達は行われない。以上の動作により、時刻 $t_{LD}$ 以降ノードSR3.0, SR4.0, SR5.0にのみ選択信号が出力される。

【0028】ここで、時刻 $t_{CL1}$ にクロック $\phi_2$ のHレベルに同期してクロック $\phi_{CL}$ をHレベルとすることにより、クリアスイッチ7が導通し、各ノードSR1.0, SR2.0, SR3.0, SR4.0, SR5.0, SR6.0, SR7.0の各ノードがLレベルとなり、以降選択信号の

伝達が中止され、走査開始位置設定期間を短縮することができる。なお、クロック $\phi R$ 、 $\phi TBA$ 、 $\phi TBB$ 、 $\phi LD$ 、 $\phi CL$ は、特にことわった期間以外はLレベルとなっている。

【0029】上記説明においては、7段のシフトレジスタのうち第3、4、5段から選択信号を取り出す方法について説明したが、クロック $\phi TBA$ 、 $\phi TBB$ 、 $\phi CL$ にHレベルを加えるタイミングを調整することによって、走査開始位置及び走査終了位置を任意に設定することができ、任意の範囲に選択信号を出力することが可能である。

【0030】本実施の形態のシフトレジスタは、第1の実施の形態のシフトレジスタに比べて少ない構成要素で、任意の位置から走査を開始できるシフトレジスタが実現でき、歩留まりの向上を図ることができる。

【0031】図5に示した第2の実施の形態のシフトレジスタにおいて、記憶用スイッチ2、転送用スイッチ3、記憶部4、リセットスイッチ5をシフトレジスタの各段に設けず、複数段おきに設けることもできる。次に、これらを1段おきに設けた第2の実施の形態のシフトレジスタの変形例を、図7に基づいて説明する。この変形例では、ノードSR1.5、SR2.0、SR3.5、SR4.0、SR5.5、SR6.0に対応した記憶用スイッチ2、転送用スイッチ3、記憶部4、リセットスイッチ5が設けられていない。

【0032】この構成の動作を、図8に示したタイミングチャートをもとに説明する。時刻 $t_{ST}$ において $\phi ST$ にクロック $\phi 1$ の1周期分Hレベルを入力する。その後、時刻 $t_{TBb}$ において、 $\phi 2$ のHレベルに同期して $\phi TBA$ 、 $\phi TBB$ をHレベルとする。これにより、ラッチ用スイッチ4-4が非導通となり、記憶用スイッチ2が導通するので、各ノードSR0.5、SR2.5、SR4.5、SR6.5のレベル(H、L、H、H)が、各ノードに対応した記憶部4の入力端に伝達される。その後、 $\phi TBA$ 、 $\phi TBB$ がLレベルとなると、記憶用スイッチ2が非導通となり、ラッチ用スイッチ4-4が導通し、記憶部4の入力端と各ノードSR0.5、SR2.5、SR4.5、SR6.5が切り離され、記憶部4に入力された情報がラッチされ、新たに各ノードSR0.5、SR2.5、SR4.5、SR6.5から記憶部4の入力端に情報が伝達されない限り、この情報を維持する。その後、時刻 $t_{LDb}$ において、 $\phi 2$ のHレベルに同期して $\phi LD$ をHレベルとする。これにより転送用スイッチ3が導通するので、記憶部4より各ノードSR1.0、SR3.0、SR5.0、SR7.0の各ノードに、時刻 $t_{TBb}$ で記憶部4に記憶された情報の反転信号L、H、L、Lレベルが転送される。その後、クロック $\phi 1$ 、 $\phi 2$ にしたがいシフトレジスタ動作が行われる。時刻 $t_{CLb}$ において、 $\phi 2$ のHレベルに同期して $\phi CL$ をHレベルとする。これによりクリアスイッチ7が導通し、各ノードSR1.0、SR2.

0、SR3.0、SR4.0、SR5.0、SR6.0、SR7.0はLレベルにクリアされる。この操作により、時刻 $t_{LDb}$ から $t_{CLb}$ までの間に、ノードSR4.0、SR5.0、SR6.0に選択信号が出力される。

【0033】図7に示した変形例においては、記憶部4が接続されたノードSR0.5、SR2.5、SR4.5、SR6.5にLレベルが出力されるタイミングで、 $\phi TBA$ 、 $\phi TBB$ をHレベルとする。また、記憶部4からの情報の転送は、ノードSR1.0、SR3.0、SR5.0、SR7.0に対してのみ可能であるので、任意範囲走査の開始位置はノードSR2.0、SR4.0、SR6.0に限定される。しかし、実際の固体撮像装置においては、シフトレジスタは数百段以上あり、走査開始位置の設定は数段おきとなっても問題となることはない。

【0034】上記変形例のように構成することにより、更に少ない構成要素で任意の位置から走査を開始できるシフトレジスタを実現できる。なお第1の実施の形態においても、記憶用スイッチ2、転送用スイッチ3、記憶部4、リセットスイッチ5を複数段おきに設けることによって、同様の効果を得ることができる。

【0035】図7に示した変形例では、シフトレジスタユニットの各段の負荷が、記憶用スイッチ及び転送用スイッチが接続されているものと、接続されていないもので異なる。これは、シフトレジスタユニットの出力に、ばらつきを生じさせる原因となる。特に、水平走査回路のように高速で駆動される場合において顕著となる。

【0036】そこで、図9に示すように、記憶用スイッチ2及び転送用スイッチ3はシフトレジスタユニット全段に設け、記憶部4及びリセットスイッチ5は1段おきに設けるようにする。また記憶部4が接続されていない記憶用スイッチ2及び転送用スイッチ3は、常に非導通となるように接続する。各スイッチを図2の(A)に示した構成のものとした場合には、アナログスイッチのNチャネルMOSトランジスタのゲートにはVSSを、PチャネルMOSトランジスタのゲートにはVDDを接続することによって、常に非導通のスイッチとすることができる。この図9に示した更に他の変形例のシフトレジスタの動作は、図7に示した変形例のシフトレジスタと同様である。また、シフトレジスタユニット、各種スイッチ、記憶部については、本実施の形態あるいはその変形例と同様の動作、効果をもつものであれば、その具体的な構成に制限はない。

【0037】〔第3の実施の形態〕次に、第1又は第2の実施の形態で説明したシフトレジスタを水平及び垂直走査回路に用いた具体的な固体撮像装置を、第3の実施の形態として図10に基づいて説明する。図10において、10は7×7に配列された画素で、10-1は読み出し画素を示している。図10において、画素(i, j)のiは左端から1, 2, ..., 7、jは上端から1, 2, ..., 7とする。11及び12は第1又は第2の実施の形態で示し



たシフトレジスタで構成された水平及び垂直走査回路である。垂直走査回路12で選択された行の画素を、水平走査回路11で順次選択し、両走査回路で選択された画素から信号を読み出すようになっている。

【0038】そして、ここでは $7 \times 7$ 画素の構成のうち、任意範囲走査として、中央部の $3 \times 3$ 画素10-1から信号を読み出すこととする。水平及び垂直走査回路11、12を構成するシフトレジスタを、第1又は第2の実施の形態で示した方法で駆動することにより、7段のシフトレジスタのうち第3、4、5段から選択信号が出力される。したがって、 $7 \times 7$ 画素のうち図11の斜線を施した部分に相当する $3 \times 3$ 画素から信号が読み出される。

【0039】走査開始位置設定を行う際に、信号を読み出す場合と駆動クロックの周波数が同一であると、走査開始位置設定期間に時間を要する。特に、垂直走査回路の駆動クロックは水平走査回路の駆動クロックに比較して低い周波数なので、信号読み出し時と走査開始位置設定期間でクロックの周波数が同一であると、走査開始位置設定に最大1フレーム期間必要になる。一方、水平走査回路については最大1水平走査期間必要である。そこで、走査開始位置設定期間においては、シフトレジスタの駆動クロックの周波数を信号読み出し時と比較して高めることにより、走査開始位置設定期間を短縮することが可能となる。これは、垂直走査回路において特に有効である。また、水平走査回路及び垂直走査回路の走査開始位置設定を、垂直ブランキング期間に行うことにより、連続したフレーム動作中に走査開始位置の変更が可能となる。また、走査開始位置設定は走査開始位置が変化しない間は新たに行う必要はない。

【0040】走査開始位置の再設定により新しく設定された読み出し範囲内の画素間で、信号電荷蓄積期間が異なる場合がある。例えば信号を読み出した画素に対してのみ蓄積電荷をリセットするような非破壊読み出しにおいては、任意に設定された読み出し範囲の画素に対してのみリセット動作が行われる。走査開始位置の再設定により新しく設定された読み出し範囲の中に、再設定以前にも読み出しが行われていた画素と、再設定以前には読み出しが行われていなかった画素が存在する場合においては、前者にはリセット動作が行われ、後者にはリセット動作が行われず長時間の電荷蓄積が行われていたことになる。走査開始位置再設定後の最初のフレームでは、これらが同一のフレーム信号として読み出されるため、1つのフレーム画像内で電荷蓄積時間の異なる部分が存在することになり、不自然な画像が得られることになる。これは、連続撮像動作中に走査開始位置を再設定する際に特に問題となる。したがって、この間の信号は映像信号としては用いず、直前のフレームの情報を画像メモリに記憶し、それを映像情報として出力する等のマスク処理を行うことで、連続した映像信号をとぎらせるこ

となく走査開始位置の変更が可能となる。

【0041】以上のように構成することによって、全領域のうち任意の範囲の画素からの信号を取り出すことが可能な固体撮像装置を実現できる。本実施の形態では、 $7 \times 7$ 画素の中から $3 \times 3$ 画素の信号を得る例を示したが、全画素数や読み出し画素数は、どのようなものであってもかまわない。

【0042】〔第4の実施の形態〕次に、第4の実施の形態について説明する。一般に、撮像装置では、温度等の周辺環境の変化に対し安定した出力を得るため、遮光した画素を設け、その画素の出力を基準とするOB (Optical Black) クランプを行う。OBクランプを行うためには有効撮像領域の前縁もしくは後縁に、画素への光の入射を遮断したOB画素を設け、水平もしくは垂直ブランキング期間にOB画素の信号を読み出す。しかし、第3の実施の形態に示した固体撮像装置における任意の範囲の画素からの信号の出力では、その任意の範囲にOB画素が含まれていないとOB画素の出力を得ることができない。本実施の形態は、任意の範囲の画素からの信号を読み出す場合においても、OB画素の信号を得ることができ、安定したOBクランプを可能とするものである。

【0043】本実施の形態を、図12に示したタイミングチャートをもとに説明する。図12の(a)は、図10、11で示したように、 $7 \times 7$ 画素のうち、中央部の $3 \times 3$ 画素からの信号を読み出す場合の出力信号を示している。信号読み出し期間には、画素(i, j)のうち、 $i = 3 \sim 5$ 、 $j = 3 \sim 5$ の画素の出力が得られる。ここでは、読み出し範囲にOB画素が含まれていないため、OB画素の信号は得られない。以下の説明においても信号読み出し期間に読み出す画素は、 $i = 3 \sim 5$ 、 $j = 3 \sim 5$ の画素とする。

【0044】図12の(b)は、水平走査の後縁のOB画素の出力を得るときの出力信号を示している。図10において、 $i = 7$ の画素列をOB画素とする。この実施の形態では、 $j = 3$ 、4の画素行の信号を読み出した後、 $j = 5$ の画素行の信号を $i = 3$ から5まで読み出し、そのまま $j = 5$ の画素行の信号の読み出しを $i = 7$ まで継続する。 $i = 7$ の画素はOB画素であるので、時刻 $t_B$ にOB画素( $i = 5$ 、 $j = 7$ )の出力を得ることができる。なお、 $i = 6$ の画素の読み出し以降は垂直ブランキング期間となる。ここでは、読み出し範囲内の $j = 5$ のOB画素を読み出す例を説明したが、 $j = 5$ の画素行は $i = 5$ までの読み出しで終了し、垂直ブランキング期間に入った後、 $j = 6$ の画素行の信号を $i = 1$ 又は $i = 3$ から $i = 7$ まで読み出し、 $i = 7$ 、 $j = 6$ の画素の信号をOB画素の信号として読み出すようにしてもかまわない。

【0045】図12の(c)は、水平走査の前縁のOB画素の出力を得るときの出力信号を示している。図10にお



いて、 $i = 1$ の画素列をOB画素とする。ここでは、 $j = 3$ の画素行は $i = 1$ から信号を読み出す。 $i = 1$ の画素はOB画素であるので、時刻 $t_c$ にOB画素( $i = 1, j = 3$ )の出力を得ることができる。なお、 $i = 2, j = 3$ の画素の読み出しまでが垂直ブランキング期間となる。ここでは、読み出し範囲内の $j = 3$ の画素行のOB画素を読み出す例を説明したが、 $j = 3$ の画素行は $i = 3$ から読み出し、垂直ブランキング期間に、 $j = 2$ の画素行を $i = 1$ から読み出し、 $i = 1, j = 2$ の画素の信号をOB画素の信号として読み出ししてもかまわない。

【0046】図12の(d)は、水平走査の前縁のOB画素の出力を得るときの別の例の出力信号を示している。図10において、 $i = 1$ の画素列をOB画素とする。ここでは、 $j = 3 \sim 5$ の画素行に対して、それぞれの行の $i = 3 \sim 5$ の画素の信号読み出しに先立つ水平ブランキング期間に、各行の $i = 1$ の画素の信号を読み出す。各行の $i = 1$ の画素はOB画素であるので、時刻 $t_{D1}$ 、 $t_{D2}$ 、 $t_{D3}$ には、それぞれ、 $(1, 3)$ 、 $(1, 4)$ 、 $(1, 5)$ のOB画素の信号を読み出すことができる。これらの画素の信号を読み出した後、一旦水平走査を終了し水平有効期間には $i = 3 \sim 5, j = 3 \sim 5$ の画素を読み出すように走査する。ここでは特定の行の信号読み出しに先立つ水平ブランキング期間に、これから読み出す行のOB画素の出力を得る例を示したが、この水平ブランキング期間の直前の信号読み出し期間に読み出された行のOB画素の出力を得るようにしてもかまわない。

【0047】図12の(e)は、垂直走査の後縁のOB画素の出力を得るときの出力信号を示している。図10において、 $j = 7$ の画素行をOB画素とする。 $i = 3 \sim 5, j = 3 \sim 5$ の画素の信号を読み出した後、高速に垂直走査を行い、 $j = 7$ の画素行を $i = 1 \sim 7$ まで読み出す。ここで、高速の垂直走査中は水平走査は行わない。 $j = 7$ の画素行は全てOB画素であるので、時刻 $t_E$ にOB画素の出力を得ることができる。なお、ここでは $i = 3 \sim 5$ の画素のみを読み出して、OB画素出力としてもかまわない。

【0048】図12の(f)は、垂直走査の前縁のOB画素の出力を得るときの出力信号を示している。図10において、 $j = 1$ の画素行をOB画素とする。 $i = 3 \sim 5, j = 3 \sim 5$ の画素の信号の読み出しに先立って、 $j = 1$ の画素行を $i = 1 \sim 7$ まで読み出す。 $j = 1$ の画素行は全てOB画素なので、時刻 $t_F$ にはOB画素の出力が得られる。ここでは、 $j = 1, i = 1 \sim 7$ の画素を読み出す例を示したが、 $j = 1, i = 3 \sim 5$ の画素を読み出すようにしてもかまわない。

【0049】以上説明したように、本実施の形態では任意の範囲の走査において、任意の範囲にOB画素が含まれていない場合でも、OB画素の出力を得ることができ、OBクランプ動作を可能とする。本実施の形態で

は、非遮光画素の上下左右にOB画素が設けられ、そのうちの一部のOB画素の信号を読み出す例を示したが、複数部のOB画素を組み合わせ読み出すようにしてもよい。また、非遮光画素の上下左右のいずれか1個所、2個所もしくは3個所にOB画素が設けられている場合においては、そのOB画素が設けられている部分の読み出しを本実施の形態にしたがって行えばよい。また、本実施の形態では、OB画素は非遮光画素の周辺に1画素ずつ配列されている例を示したが、周辺に複数画素配列されていてもよく、その場合は、1回のOB画素の読み出しは、複数画素又は複数行の画素に対して行うこともできる。

【0050】上記第3及び第4の実施の形態では、XYアドレス型の2次元エリアセンサの例を示したが、1次元ラインセンサにも応用可能であることは明白である。

【0051】以上実施の形態について説明したが、本発明の態様をまとめて示すと、次のとおりである。

(1) 2次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、前記各走査回路は、シフトレジスタユニットを多段に直列に接続しクロックにより情報を伝達していくように構成したシフトレジスタと、前記シフトレジスタユニットの出力を記憶するラッチ回路からなる記憶部と、前記シフトレジスタユニットと前記記憶部の入力端の間に配設した記憶用スイッチと、前記シフトレジスタユニットと前記記憶部の出力端の間に配設した転送用スイッチと、本走査に先立つ走査開始位置設定期間においてシフトレジスタに入力されるシフトパルスを所望の位置のシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を各シフトレジスタユニットに対応した前記記憶部に記憶させるため前記記憶用スイッチを駆動し、且つ本走査時に前記記憶部より前記走査開始位置設定期間に記憶した情報を各記憶部に対応したシフトレジスタユニットに転送して走査を開始させるため前記転送用スイッチを駆動するスイッチ駆動手段とを備えていることを特徴とする固体撮像装置。このように構成することにより、任意の位置からの画素信号を読み出すことが可能な固体撮像装置を実現することができる。

(2) 前記記憶部、記憶用スイッチ及び転送用スイッチは、各シフトレジスタユニットに対応して配設されていることを特徴とする上記(1)記載の固体撮像装置。このように構成することにより、任意の位置からの画素信号を読み出すことが可能な固体撮像装置を実現することができる。

(3) 前記記憶部、記憶用スイッチ及び転送用スイッチは、任意の段数おきのシフトレジスタユニットに対応

して配設されていることを特徴とする上記（１）記載の固体撮像装置。このように構成することにより、走査回路の規模を縮小して任意の位置から画素信号を読み出すことが可能な固体撮像装置を実現することができる。

（４） 前記走査開始位置設定期間において走査開始位置を変更した直後のフレームの信号を、映像信号として用いなく構成したことを特徴とする上記（１）～

（３）のいずれか１項に記載の固体撮像装置。このように構成することにより、走査開始位置設定直後のフレームにおいて不要な信号の出力を除くことが可能となる。

（５） 前記走査開始位置設定期間において走査開始位置を変更した直後のフレームには、前記走査回路開始位置設定期間の直前のフレーム映像信号を出力するように構成したことを特徴とする上記（１）～（４）のいずれか１項に記載の固体撮像装置。このように構成することにより、走査開始位置設定直後のフレームにおいても連続的な映像信号を出力することが可能となる。

（６） 前記走査開始位置設定期間には、前記シフトレジスタを信号読み出し期間に比べ高速に駆動するように構成したことを特徴とする上記（１）～（５）のいずれか１項に記載の固体撮像装置。このように構成することにより、走査開始位置設定期間の時間を短縮することが可能となる。

（７） 前記走査開始位置設定期間の終了後、シフトレジスタ内の電位を強制的にリセットするように構成したことを特徴とする上記（１）～（６）のいずれか１項に記載の固体撮像装置。このように構成することにより、走査開始位置設定期間の時間を短縮することが可能となる。

（８） 前記走査開始位置設定期間を垂直ブランキング期間内に設定することを特徴とする上記（１）～（７）のいずれか１項に記載の固体撮像装置。このように構成することにより、映像信号をとぎらせることなく、走査開始位置設定の更新が可能となる。

（９） ２次元状に配列された複数の画素を有している固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたＸＹアドレス型の固体撮像装置において、前記有効画素領域の周辺の少なくとも一部に遮光画素を備え、前記任意画素読み出しによる画素信号の読み出し前あるいは読み出し後に、１行もしくは複数行分の遮光画素の読み出しを行うように構成したことを特徴とする固体撮像装置。このように構成することにより、任意領域から画素信号を読み出す際にも、遮光画素の出力を連続的に得ることが可能となる。

（１０） ２次元状に配列された複数の画素を有し、有効画素領域の水平走査の後縁に遮光画素を備えている固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領

域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたＸＹアドレス型の固体撮像装置において、１画面分の任意画素読み出しが終了した後、垂直ブランキング期間に、１行もしくは複数行に対し水平走査を遮光画素の位置まで継続し、遮光画素の信号を読み出す駆動手段を備えていることを特徴とする固体撮像装置。このように構成することにより、任意画素読み出しにおいても遮光画素の出力を連続的に得ることが可能となる。

（１１） ２次元状に配列された複数の画素を有し、有効画素領域の水平走査の前縁に遮光画素を備えている固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたＸＹアドレス型の固体撮像装置において、１画面分の任意画素読み出しに先立って、垂直ブランキング期間に、１行もしくは複数行に対し水平走査を先頭画素から行き遮光画素の信号を読み出すように構成したことを特徴とする固体撮像装置。このように構成することにより、任意画素読み出しにおいても遮光画素の出力を連続的に得ることが可能となる。

（１２） ２次元状に配列された複数の画素を有し、有効画素領域の水平走査の前縁に遮光画素を備えている固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたＸＹアドレス型の固体撮像装置において、１水平走査分の任意画素読み出しに先立って、水平ブランキング期間に、これから読み出す行又は、直前に読み出しが終了した行に対し水平走査を先頭画素から行き遮光画素の信号を読み出す駆動手段を備えていることを特徴とする固体撮像装置。このように構成することにより、任意画素読み出しにおいても遮光画素の出力を連続的に得ることが可能となる。

（１３） ２次元状に配列された複数の画素を有し、有効画素領域の垂直走査の後縁に遮光画素を備えている固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたＸＹアドレス型の固体撮像装置において、１画面分の任意画素読み出しが終了した後、垂直ブランキング期間に、通常の垂直走査に比べて高速に垂直走査を行ない、高速の垂直走査中は水平走査を停止し、遮光画素が設けられている行が選択されたら全画素読み出しモードもしくは任意画素読み出しモードと同様の水平走査を行って、遮光画素の信号を読み出す駆動手段を備えていることを特徴とする固体撮像装置。このように構成することにより、任意画素読み出しにおいても遮光画素の出力を連続的に得ることが可能となる。

(14) 2次元状に配列された複数の画素を有し、有効画素領域の垂直走査の前縁に遮光画素を備えている固体撮像素子と、該固体撮像素子の画素信号の読み出しを行うための水平及び垂直走査回路とからなり、有効画素領域の一部分の任意領域からの画素信号を読み出す任意画素読み出しを行うようにしたXYアドレス型の固体撮像装置において、1画面分の任意画素読み出しに先立って、垂直ブランキング期間に、1行もしくは複数行に対し垂直走査を先頭行画素から行い、且つ、全画素読み出しモードもしくは任意画素読み出しモードと同様の水平走査を行って、遮光画素の信号を読み出す駆動手段を備えていることを特徴とする固体撮像装置。このように構成することにより、任意画素読み出しにおいても遮光画素の出力を連続的に得ることが可能となる。

#### 【0052】

【発明の効果】以上実施の形態に基づいて説明したように、請求項1記載の発明によれば、シフトレジスタユニットの出力を記憶する記憶部をラッチ回路で構成しているので、長時間同一の任意領域から安定して画素信号を読み出すことが可能となる。また請求項2記載の発明によれば、任意画素読み出しにおいても、遮光画素の出力を連続的に得ることができ、安定したOBクランプが可能となる。

#### 【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1の実施の形態における走査回路を構成するシフトレジスタを示す回路構成図である。

【図2】図1に示したシフトレジスタの各スイッチの構成例を示す回路構成図である。

【図3】図1に示したシフトレジスタの通常走査動作を説明するためのタイミングチャートである。

【図4】図1に示したシフトレジスタにおいて、任意範囲に選択信号を出力する場合の動作を説明するためのタイミングチャートである。

【図5】第2の実施の形態における走査回路を構成するシフトレジスタを示す回路構成図である。

【図6】図5に示したシフトレジスタにおいて、任意範

囲に選択信号を出力する場合の動作を説明するためのタイミングチャートである。

【図7】図5に示したシフトレジスタの変形例を示す回路構成図である。

【図8】図7に示したシフトレジスタにおいて、任意範囲に選択信号を出力する場合の動作を説明するためのタイミングチャートである。

【図9】図5に示したシフトレジスタの他の変形例を示す回路構成図である。

【図10】第1又は第2の実施の形態あるいはその変形例のシフトレジスタを用いた固体撮像装置を第3の実施の形態として示す構成図である。

【図11】図10に示した固体撮像装置の画素の走査範囲を示す図である。

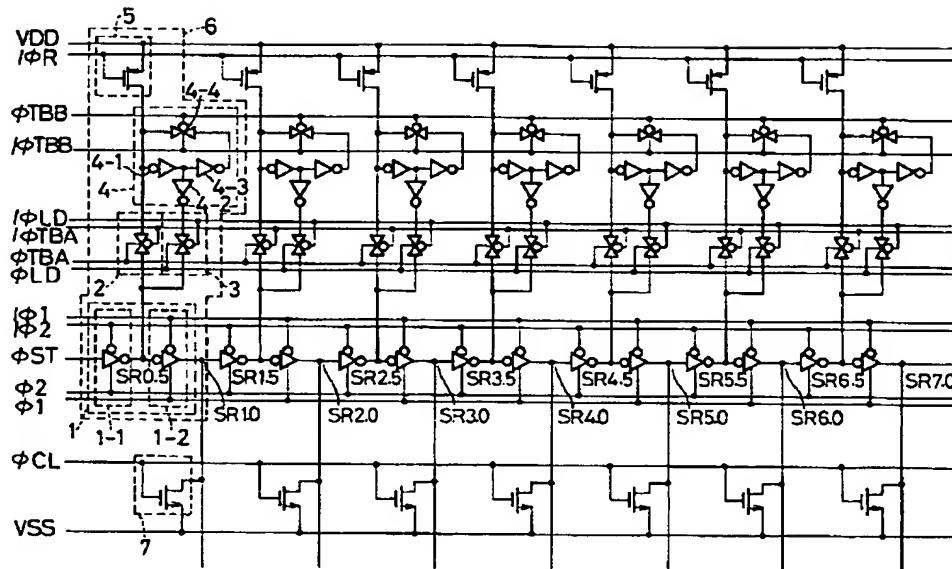
【図12】第4の実施の形態におけるOB画素の読み出し態様を説明するためのタイミングチャートである。

【図13】先に提案したシフトレジスタの構成を示す回路構成図である。

#### 【符号の説明】

- 1 シフトレジスタユニット
- 1-1 第1のクロック型インバータ
- 1-2 第2のクロック型インバータ
- 2 記憶用スイッチ
- 3 転送用スイッチ
- 4 記憶部
- 4-1 第1のインバータ
- 4-2 第2のインバータ
- 4-3 第3のインバータ
- 4-4 ラッチ用スイッチ
- 5 リセットスイッチ
- 6 シフトレジスタ単位段
- 7 クリアスイッチ
- 10 画素
- 10-1 読み出し画素
- 11 水平走査回路
- 12 垂直走査回路

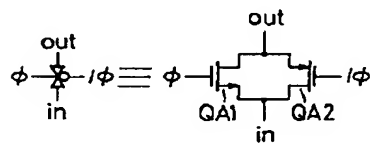
【図 1】



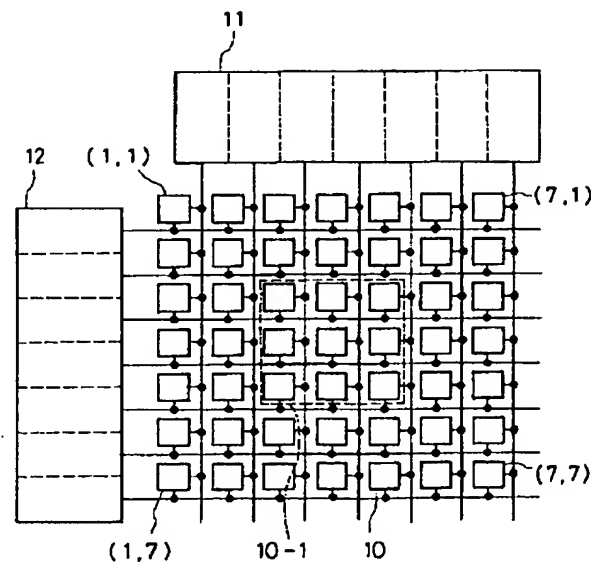
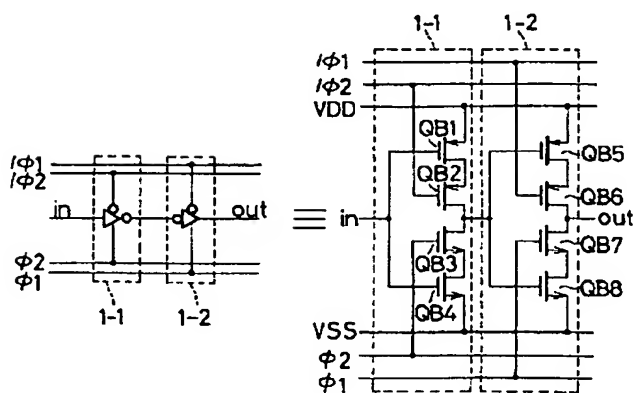
【図 2】

【図 10】

(A)

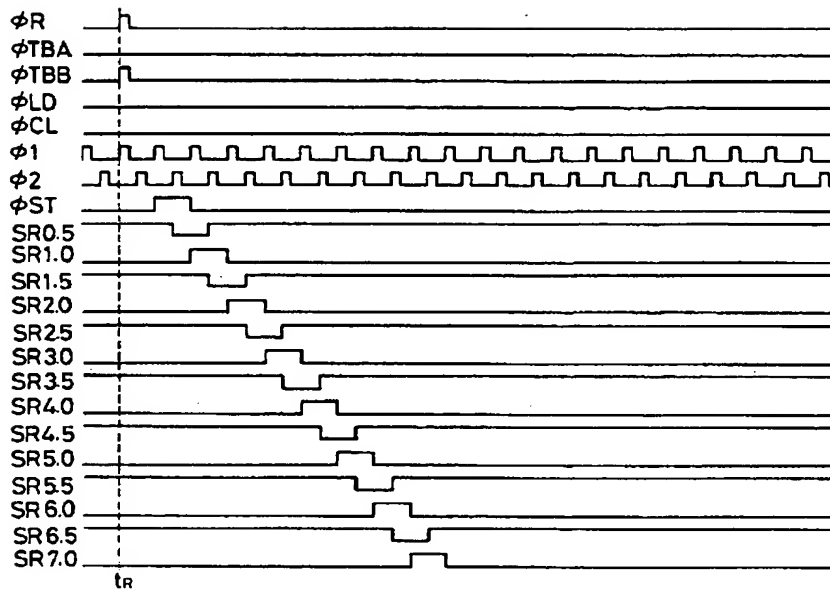


(B)



- 10 : 画素
- 10-1 : 読み出し画素
- 11 : 水平走査回路
- 12 : 垂直走査回路

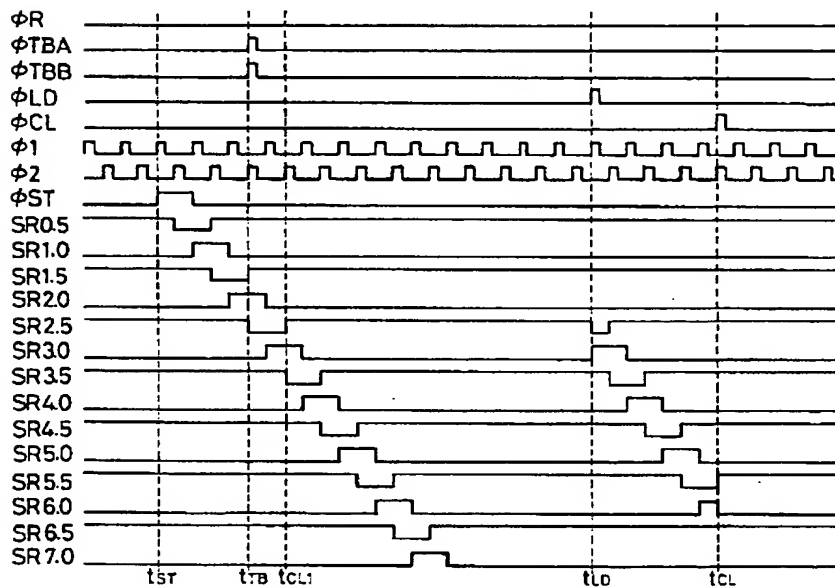
【図 3】



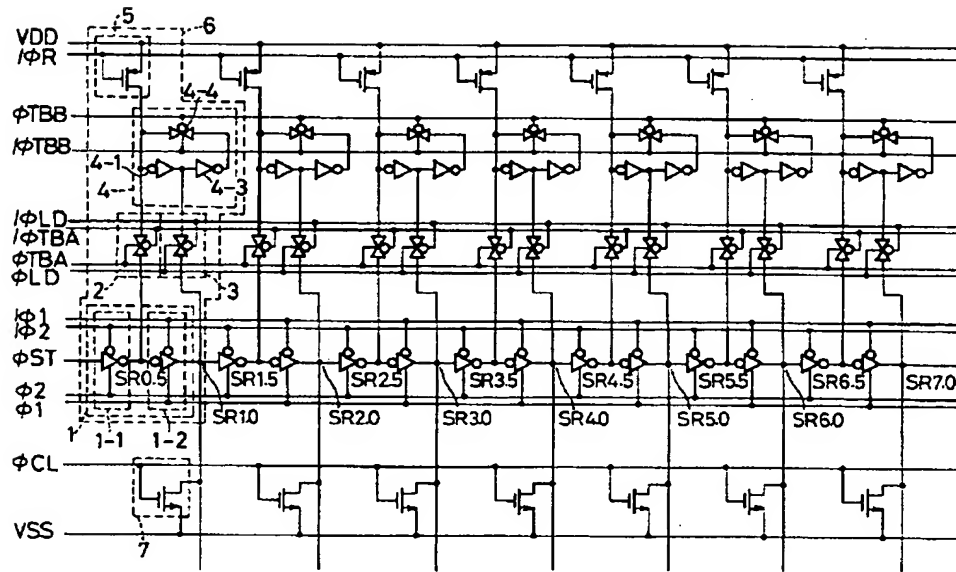
【図 1 1】

(1,1)	(2,1)	(3,1)	(4,1)	(5,1)	(6,1)	(7,1)
(1,2)	(2,2)	(3,2)	(4,2)	(5,2)	(6,2)	(7,2)
(1,3)	(2,3)	(3,3)	(4,3)	(5,3)	(6,3)	(7,3)
(1,4)	(2,4)	(3,4)	(4,4)	(5,4)	(6,4)	(7,4)
(1,5)	(2,5)	(3,5)	(4,5)	(5,5)	(6,5)	(7,5)
(1,6)	(2,6)	(3,6)	(4,6)	(5,6)	(6,6)	(7,6)
(1,7)	(2,7)	(3,7)	(4,7)	(5,7)	(6,7)	(7,7)

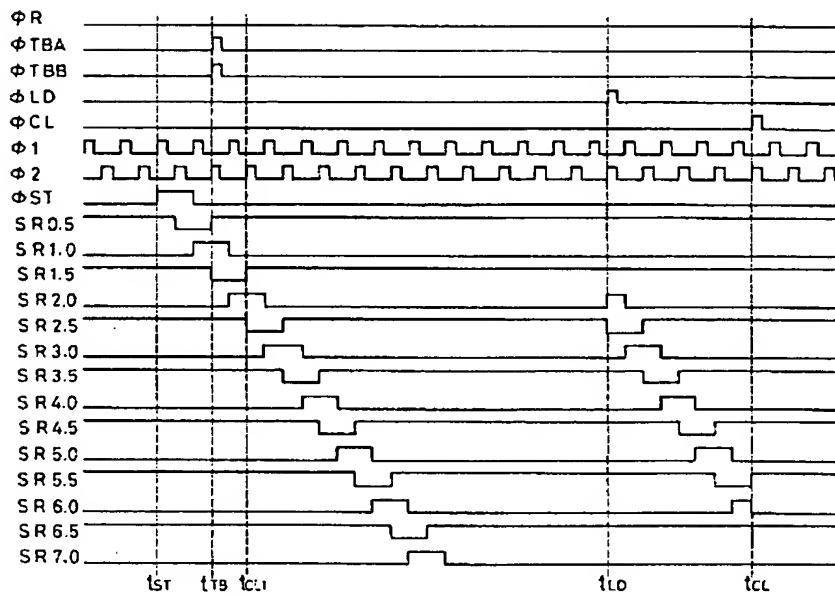
【図 4】



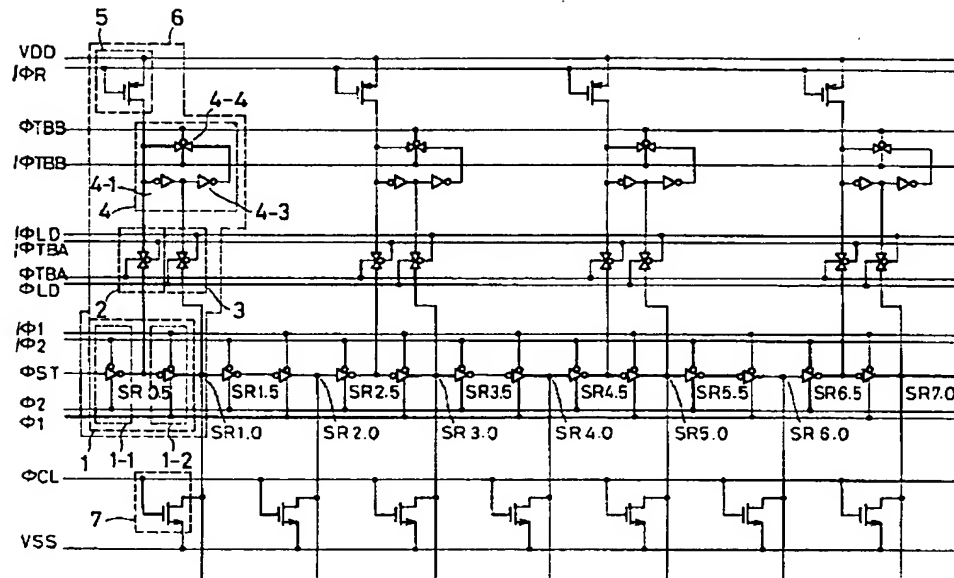
【図 5】



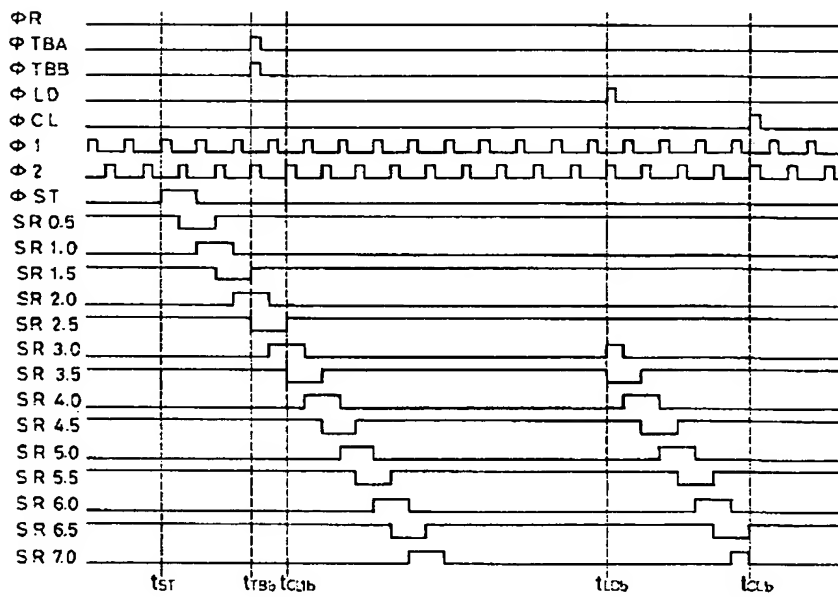
【図 6】



【図 7】



【図 8】







【図 13】

